به نام پروردگار بی‌همتا

سوابق تحصیلی، پژوهشی و فعالیت‌های علمی

معرفی:

سمیه تیمارچی

مرتبه دانشگاهی: استادیار

گروه: مهندسی برق- الکترونیک – زمینه پژوهشی دیجیتال

دانشکده: مهندسی برق و کامپیوتر

آدرس الکترونیکی: s_timarchi@sbu.ac.ir

آدرس وب سایت: http://faculties.sbu.ac.ir/~timarchi

آدرس پستی: بزرگراه شهید چمران - خیابان یمن - میدان شهید شهریاری- بلوار دانشجو - دانشگاه شهید بهشتی، دانشکده مهندسی برق و کامپیوتر، اتاق ۳۰۹

کد پستی: ۱۹۸۳۹۶۳۱۱۳

تلفن: ۲۹۹۰۴۱۳۲

سوابق تحصیلی:

۱. فوق دکتری در زمینه پردازنده های حساب کامپبوتری در دانشگاه صنعتی دلفت کشور هلند (۱۳۹۰-۱۳۸۸)

۲. دکترای معماری کامپیوتر از دانشکده‌ی مهندسی برق و کامپیوتر دانشگاه شهید بهشتی (۱۳۸۸-۱۳۸۳).

۳. کارشناسی ارشد معماری کامپیوتر از دانشکده‌ی مهندسی کامپیوتر دانشگاه صنعتی شریف (۱۳۸۳-۱۳۸۱).

۴. کارشناسی مهندسی کامپیوتر- سخت‌افزار از دانشکده‌ی مهندسی برق و کامپیوتر دانشگاه شهید بهشتی (۱۳۸۱-۱۳۷۷).

عضویت در مراکز علمی و پژوهشی:

- انجمن بین المللی مهندسین برق و الکترونیک
- انجمن کامپیوتر ایران
- انجمن مهندسی برق ایران
- پژوهشکده فضای مجازی

سوابق اجرایی:

- معاون آموزشی و تحصیلات تکمیلی پژوهشکده فضای مجازی

افتخارات علمی:

- رتبه‌ی نخست کارشناسی کامپیوتر (سخت‌افزار) دانشکده‌ی مهندسی برق و کامپیوتر دانشگاه شهید بهشتی (۱۳۸۱).
- کسب راتبه تحصیلی در دوره دکتری از وزارت علوم، تحقیقات و فن آوری
- مقاله با عنوان " A Novel Low-Power Full-Adder Cell for Low Voltage " رتبه هفتم در لیست مقالات با بیشرین ارجاع از مجله معتبر "Elsevier: Integration, the VLSI Journal Articles" بین سالهای ۲۰۰۵ تا ۲۰۱۰ را داراست.

زمینه تخصصی و علایق پژوهشی:

۱. طراحی و پیاده‌سازی مدارها و پردازنده های حسابی در:
   - سیستم اعداد دودویی
   - سیستم اعداد غیر متعارف: مانده ای و افزونه‌ای
   - سیستم اعداد دهدهی
۲. طراحی و پیاده‌سازی مدارها و پردازنده های خاص منظوره در کاربردهای:
   - نهان نگاری تصویر
   - شبکه حسگر بی سیم
   - پزشکی: پردازش سیگنال و تصاویر پزشکی
۳. طراحی مدارهای مجتمع بسیار فشرده (VLSI)
۴. طراحی و پیاده‌سازی مدارهای کم مصرف و بسیار کم مصرف
۵. طراحی و پیاده‌سازی مدارهای کارآمد پردازش سیگنال دیجیتال و پردازش تصویر
۶. طراحی مدارهای رمزنگاری (الگوریتمهای RSA، ECC و ...)

سوابق پژوهشی:

۱. طراحی مدارات کارآمد حساب مانده‌ای برای طراحی فیلتر دیجیتال با راهنمایی دکتر Sorin Cotofana، در دانشگاه صنعتی دلفت کشور هلند (TUDelft)، http://ce.et.tudelft.nl
۲. طراحی کتابخانه بسیار کم مصرف (Ultra-Low Power) با اجرای فرآیند RTL-to-GDSII به راهنمایی دکتر Massimo Alioto در آزمایشگاه مهندسی الکترونیک و اندازه‌گیری الکترونیکی، دانشگاه Siena، ایتالیا (۱۳۸۷-۱۳۸۸) Electronics, Electronic Measurements and Electrical Engineering Laboratory,
۳. طراحی مدارات کارآمد حساب کامپیوتری و VLSI با راهنمایی دکتر کیوان ناوی در آزمایشگاه میکروالکترونیک، دانشگاه شهید بهشتی (۱۳۸۳-۱۳۸۸)
۴. طراحی مدارات مولد اعداد شبه تصادفی با راهنمایی دکتر قاسم میرعمادی در آزمایشگاه سیستم‌های اتکاپذیر (DSL)، دانشگاه صنعتی شریف (۱۳۸۲-۱۳۸۳)
۵. برنامه‌نویسی پردازش تصویر گروه روبات‌های فوتبالیست سایز متوسط دانشگاه شهید بهشتی (۱۳۷۸-۱۳۸۱)
۶. برنامه‌نویسی C++ در پژوهشکده لیزر دانشگاه شهید بهشتی (۱۳۷۹-۱۳۸۰)

مهارتهای تکنیکی:

۱. ابزار CAD:
   - CADENCE
   - Synopsys Design Compiler
   - HSPICE
   - ISE
   - Leonardo
   - Modelsim
۲. زبان توصیف سخت‌افزاری: VHDL
۳. زبانهای برنامه‌نویسی نرم‌افزاری
   - C/C++,
   - Pascal
۴. نرم‌افزارهای مهندسی مربوطه:
   - MATLAB
   - Proteus

سوابق تدریسی:

الف- دوره تحصیلات تکمیلی:

۱. برنامه سازی پیشرفته
۲. طراحی مدارهای VLSI
۳. طراحی مدارهای کم توان
۴. بکارگیری قابلیت های VLSI در طراحی مدار

۵. طراحی سیستم های دیجیتال پیشرفته
۶. طراحی پردازنده‌های حسابی

ب- دوره کارشناسی:

۷. معماری کامپیوتر
۸. مدارهای منطقی پیشرفته
۹. مدارهای منطقی
۱۰. اصول مهندسی برق
۱۱. برنامه‌سازی کامپیوتری
۱۲. مبانی کامپیوتر
۱۳. سیستم عامل
۱۴. زبان ماشین و اسمبلی
۱۵. ساختمان داده‌ها
۱۶. ریاضی عمومی
۱۷. آزمایشگاه میکروپروسسور
۱۸. آزمایشگاه معماری کامپیوتر
۱۹. آزمایشگاه مدارهای منطقی

مقالات و گزارش‌های علمی منتشر شده:

مجلات علمی:

1. M. Moghaddam, **S. Timarchi**, M.H. Moaiyeri, M. Eshghi,"An Ultra-Low-Power 9T SRAM Cell Based on Threshold Voltage Techniques", CIRCUITS SYSTEMS AND SIGNAL PROCESSING, ISI, First online: 24 July 2015, pp. 1-19.
2. Mahmood Fazlali, Hadi Valikhani, Somayeh Timarchi, Hadi Tabatabaee, "Fast Architecture for Decimal Digit Multiplication," Microprocessor and Microsystem, Elsevier, ISI, Vol. 39, Issues 4–5, June–July 2015, pp. 296–301.
3. M. Abbasi Alaie, **S. Timarchi**, "Efficient modulo 2n +1 multiplier", accepted in Int. J. Computer Aided Engineering and Technology, 2014.
4. **S. Timarchi,** M. Fazlali "Generalized Fault-Tolerant Stored-Unibit-Transfer RNS Multiplier for Moduli Set $\{2^n-1, 2^n, 2^n+1\}$", IET Computers & Digital Techniques, vol. 6, issue 5, Sep. 2012, pp. 269-276.
5. M. Saremi, **S. Timarchi**, "Efficient Modular Binary Signed-Digit Multiplier for the moduli set {2n-1, 2n, 2n+1}", the CSI Journal of Computer Science and Engineering, Vol. 9, No. 2 & 4(b), pp. 52-62, 2011.
6. **S. Timarchi**, K. Navi, "Arithmetic Circuits of Redundant SUT-RNS", IEEE Trans. Instrumentation and Measurement, vol.58, no.9, Sep. 2009, pp.2959-2968.

7. A. Sabbagh, K. Navi, Ch. Dadkhah, O. Kavehei, and **S. Timarchi**, "Efficient Reverse Converter Designs for the New 4-Moduli Sets $\{2^n-1, 2^n, 2^n+1, 2^{2n+1}-1\}$ and $\{2^n-1, 2^n+1, 2^{2n}, 2^{2n}+1\}$ Based on New CRTs", IEEE Trans. Circuit and Systems I, vol.57, no.4, April 2010.
8. K. Navi, M. Maeen, V. Foroutan, **S. Timarchi**, and O. Kavehei, "A Novel Low-Power Full-Adder Cell for Low Voltage ", Integration, the VLSI Journal, vol. 42, Issue 4**,** Sep. 2009, pp. 457-467.
9. **S. Timarchi**, K. Navi, "A New Algorithm for Determining All Possible Symmetric Hybrid Redundant Numbers," IEICE Electronics Express, Vol.6, No.1, pp.8-13, January 10, 2009.
10. **S. Timarchi**, O. Kavehei, K. Navi, "Low Power Modulo 2^n+1 Adder Based on Carry Save Diminished-One Number System," American Journal of Applied Sciences 5 (4), pp.312-319, 2008.
11. **S. Timarchi**, K. Navi, "Improved Modulo 2^n+1 Adder Design," International Journal of Computer and Information Science and Engineering, Vol. 2, No.3, pp. 158-165, Summer 2008.

کنفرانس ها:

1. N. Akbarzadeh, **S. Timarchi**, A.A. Hamidi, "Efficient Multiply-add Unit Specified for DSPs Utilizing Low-Power Pipeline Modulo 2n+1 Multiplier," 9th Iranian Conference on Machine Vision and Image Processing, November 18-19, 2015; Shahid Beheshti University, Tehran, Iran.

۲. احمد شعبانی، سمیه تیمارچی، " معماری کم‌مصرف برای تبدیل گسسته کسینوسی بر پایه ساختار کوردیک پیش بینی جدید،" نهمین کنفرانس ماشین بینایی و پردازش تصویر ایران، دانشگاه شهید بهشتی، آبان ماه۱۳۹۴

3. A. Najafi, **S. Timarchi**, A. Najafi, "High-speed energy-efficient 5:2 compressor", 37th International Convention on information and communication technology, electronics and microelectronics, 2014, pp. 80-84.
4. L. Rahimzadeh, M. Eshghi, **S. Timarchi**, "Radix-4 Implementation of Redundant Interleaved Modular Multiplication on FPGA", the 22nd Iranian Conference on Electrical Engineering (ICEE 2014), pp. 523-526.

۵. مسعود عباسی علایی، **سمیه تیمارچی**، " پیاده سازی بهینه الگوریتم های نهان نگاری با قابلیت پیکربندی مجدد"، بیست و دومین کنفرانس مهندسی برق ایرانICEE2014، صفحات ۲۵۶۳- ۲۵۶۸

۶. اردوان یزدی، **سمیه تیمارچی**، "پردازنده چند هسته ای پایگاه پردازش داده در شبکه حسگرهای بی سیم"، بیست و دومین کنفرانس مهندسی برق ایرانICEE2014، صفحات ۳۴۶۵ - ۳۴۷۰

7. **S. Timarchi**, M. Saremi, M. Fazlali, G. Gaydadjiev, “High-speed binary signed-digit RNS adder with posibit and negabit encoding,” 21st IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), October 7-9, 2013, pp. 58-59.
8. M. Saremi, **S. Timarchi,** “Efficient 1-out-of-3 Binary Signed-Digit Multiplier for the moduli set {2n-1, 2n, 2n+1},” 17th CSI International symposium on Computer Architecture and Digital Systems (CADS2013), October 30-31, 2013, pp. 123-124.
9. M. Saremi, **S. Timarchi**, “1-out-of-3 Binary Signed-Digit Modular Adder,” 5-th conference on Information & Knowledge Technology (IKT), May 22-24, 2013.

10. **S. Timarchi**, P. Ghayour and A. Shahbahrami "A Novel High-Speed Low-Power Binary Signed-Digit Adder" 16th CSI International symposium on Computer Architecture and Digital Systems (CADS2012), 2-3 May 2012, pp. 70-74.
11. **S. Timarchi**, M. Fazlali and Sorin Dan Cotofana "A unified addition structure for moduli set {2n−1, 2n, 2n+1} based on a novel RNS representation" The 28th IEEE International Conference on Computer Design (ICCD 2010), Amsterdam, the Netherlands, 3-6 October, 2010, pp.247-252.
12. **S. Timarchi** and M. Fazlali "An Efficient Power-Area-Delay Modulo 2^n-1 Multiplier," The 15th CSI International Symposium on Computer Architecture and Digital Systems (CADS2010), IPM, Tehran, 23-24 Sep., 2010, pp. 157-160.
13. **S. Timarchi**, K. Navi, and O. Kavehei, "Maximally Redundant High-Radix Signed-Digit Adder: New Algorithm and Implementation" IEEE Computer Society Annual Symposium on VLSI (ISVLSI), May 13-15, 2009, Tampa, Florida.
14. **S. Timarchi**, K. Navi, "Efficient Class of Redundant Residue Number ", IEEE International Symposium on Intelligent Signal Processing (WISP), pp. 475-480, 3-5 October 2007, Madrid, Spain.
15. **S. Timarchi**, K. Navi, "A Novel Modulo 2^n+1 Adder Scheme", 12th International CSI Computer Conference (CSICC'2007), Shahid Beheshti University, 20-22 February 2007, Tehran, Iran.
16. M. Hosseinzade, **S. Timarchi**, and K. Navi, "Multi Level Residue Number System with Moduli Set of (2^n, 2^n-1, 2^{n-1}-1) ", 12th International CSI Computer Conference (CSICC'2007), Shahid Beheshti University, 20-22 February 2007, Tehran, Iran. [Farsi]
17. **S. Timarchi**, A. Zakeralhosseini, "*A Novel Square Root Algorithm Using Multi Expert Systems*", 12th International CSI Computer Conference (CSICC'2007), Shahid Beheshti University, 20-22 February 2007, Tehran, Iran. [Farsi]
18. M. Garailoo, **S. Timarchi**, and K. Navi, and Mahsa Garailoo, "*Origami and Encryption Algorithms*", 12th International CSI Computer Conference (CSICC'2007), Shahid Beheshti University, 20-22 February 2007, Tehran, Iran. [Farsi]
19. **S. Timarchi**, K. Navi, and M. Hosseinzade, "*VLSI Design of RNS Subtracter for modulo(2^n+1)*", 11th International CSI Computer Conference (CSICC'2006), School of Computer Science, IPM, Jan. 24-26, 2006, Tehran, Iran. [Farsi]
20. M. Hosseinzade, K. Navi, and **S. Timarchi**, "*New VLSI Design of 4-3 Compressor*", 11th International CSI Computer Conference (CSICC'2006), School of Computer Science, IPM, Jan. 24-26, 2006, Tehran, Iran. [Farsi]
21. **S. Timarchi**, K. Navi, and M. Hosseinzade, "New Design of RNS Subtracter for modulo (2^n+1)", 2nd IEEE International Conference on Information & Communication Technologies: from Theory to Applications (ICTTA), 24-28 Apr 2006, Damascus, Syria.
22. M. Hosseinzade, A. Mirbaha, **S. Timarchi**, and K. Navi, "*Design of Current Mode Circuits of Residue Number Systems*", 11th International Conference of Electrical Engineering (ICEE'2006), Amirkabir University of Technology, Tehran, Iran. [Farsi]
23. M. Hosseinzade, **S. Timarchi**, A. Mirbaha, and K. Navi, "*Design of New High Speed Multiple Operand RNS Adder*", 11th International Conference of Electrical Engineering (ICEE'2006), Amirkabir University of Technology, Tehran, Iran. [Farsi]
24. **S. Timarchi**, S.G. Miremadi, A.R. Ejlali, "*A Comparative Evaluation of Some Hardware-Based Pseudo-Random Number Generators*", 10th International CSI Computer Conference (CSICC 2005), January 24-26, 2005, Tehran, Iran

25. **S. Timarchi**, S.G. Miremadi, A.R. Ejlali, "*Evaluation of Some Exponential Random Number Generators Implemented by FPGA*", IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN), February 15-17, 2005 Innsbruck, Austria
26. **S. Timarchi**, S. G. Miremadi, A.R. Ejlali, "*Evaluation of Some Exponential Random Number Generators*", 10th International CSI Computer Conference (CSICC 2005), January 24-26, 2005, Tehran, Iran. [Farsi]

گزارش‌های علمی:

1. **S. Timarchi**, "*Implementation of Image Processing Algorithms of Robocup (Middle size) on the DSP Board*", Shahid Beheshti University, Department of Electrical and Computer Engineering, Technical Report, B.Sc. Thesis, 2002. [Farsi]
2. **S. Timarchi**, "*Efficient HDL Cods for Random Number Generation*", Sharif University of Tech., Department of Computer Engineering, Technical Report, M.Sc. Thesis, 2004. [Farsi]
3. **S. Timarchi**, "*Design and Implementation of Efficient Redundant Residue Number Systems*", Shahid Beheshti University, Department of Electrical and Computer Engineering, Technical Report, Ph.D. Thesis, 2010. [Farsi]

طرحهای پژوهشی:

۱. «طراحی VLSI مدارهای سیستم اعداد مانده ای افزونه»، دانشگاه شهید بهشتی، دانشکده مهندسی برق و کامپیوتر، سال ۱۳۸۴
۲. «طراحی و ساخت روبات های جستجوگر خودکار (مین یاب)»، دانشگاه شهید بهشتی، دانشکده مهندسی برق، انجمن علمی دانشجویی، سال ۱۳۹۴
۳. «بررسی سرعت مدارهای محاسباتی سیستم های اعداد مانده ای، افزونه ای و مانده ای افزونه»، دانشگاه شهید بهشتی، دانشکده مهندسی برق، سال ۱۳۹۴